

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年11月29日

出願番号

Application Number:

特願2000-363903

出願人

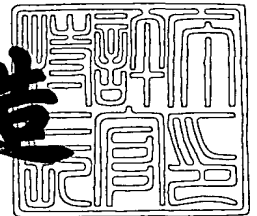
Applicant(s):

富士通株式会社

2001年 8月17日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3073985

【書類名】 特許願

【整理番号】 0040971

【提出日】 平成12年11月29日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体装置

【請求項の数】 7

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 松崎 康郎

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 鈴木 孝章

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 外部端子と、

これに接続される第 1 及び第 2 の内部回路と、

前記外部端子と前記第 1 及び第 2 の内部回路を接続する配線とを有し、

前記配線は、半導体チップ面上に設けられた配線層を覆う絶縁層の上に形成されかつ前記配線層の電極とコンタクトする導電層で形成され、

前記第 1 及び第 2 の内部回路は距離的に離間して配置される半導体装置。

【請求項 2】 外部端子と、

これに接続される第 1 及び第 2 の内部回路と、

前記外部端子と前記第 1 及び第 2 の内部回路を接続する配線とを有し、

前記配線は、半導体チップ面上に設けられた配線層を覆う絶縁層の上に形成されかつ前記配線層の電極とコンタクトする導電層で形成され、

前記配線は、前記第 1 及び第 2 の内部回路と前記外部端子とを前記配線層で接続した場合の最大許容長よりも長い半導体装置。

【請求項 3】 請求項 1 又は 2 に記載の半導体装置は第 3 の内部回路を有し、前記第 1 及び第 2 の内部回路は前記第 3 の回路を挟むように配置されている半導体装置。

【請求項 4】 外部端子と、

これに接続される内部回路及び保護素子と、

前記外部端子と内部回路及び保護素子を接続する配線とを有し、

前記配線は、半導体チップ面上に設けられた配線層を覆う絶縁層の上に形成されかつ前記配線層の電極とコンタクトする導電層で形成される半導体装置。

【請求項 5】 前記配線層は前記巨大配線と前記内部回路とを接続する第 1 の部分と、前記巨大配線と前記保護素子とを接続する第 2 の部分とを含み、前記第 1 の部分は前記第 2 の部分よりも長い請求項 4 記載の半導体装置。

【請求項 6】 前記外部端子と前記内部回路との間に抵抗を有する請求項 4 又は 5 記載の半導体装置。

【請求項 7】 前記保護素子は前記半導体チップの周辺部に位置することを特徴とする請求項 4 又は 5 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関するものであり、より詳細には、外部端子とこれに接続される入力回路や出力回路との配線に関する。

【0002】

【従来の技術】

半導体装置の入力端子や出力端子などの外部端子には、静電気放電素子 (electrostatic discharge element : 以下、ESD 素子と言う) が接続されている。

【0003】

図 1 に示すように、パッド (外部端子) 10 と内部回路 11 との間には、内部回路 11 を保護する保護素子である ESD 素子 12 が設けられている。内部回路 11 は、例えば入出力回路である。この場合には、外部端子 10 は入出力共用である。内部回路 11 は、入力回路又は出力回路であっても良い。ESD 素子 12 は、抵抗 13 と N チャンネルトランジスタ 14 とを有する。トランジスタ 14 のソースとゲートは接地されている。静電気が外部端子 10 に誘起されると、その電荷はトランジスタ 14 を介してグランドに流れる。これにより、内部回路 11 が静電気で破壊されるのを防止することができる。

【0004】

内部回路 11 を効果的に保護するために、ESD 素子 12 を内部回路 11 の近くに配置する必要がある。

【0005】

【発明が解決しようとする課題】

ESD 素子 12 は大電流をグランドに逃がすために面積が大きく、また通常の動作には寄与しないため、できるだけチップの空いている場所に配置したいという要望がある。しかし、外部端子 10 から配線を長く引き回すと、配線容量や寄

生抵抗により大電流を瞬時に流すことができなくなってしまう。

【0006】

入力回路や出力回路は、半導体装置の遅延時間に大きな影響がある回路なので最適な配置が必要であるが、ESD素子12を近辺に配置しなければならないため、レイアウト的に制約があった。

【0007】

本発明は、回路配置上の制約を解消して回路素子の配置の自由度が大きい半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明は、外部端子と、これに接続される第1及び第2の内部回路と、前記外部端子と前記第1及び第2の内部回路を接続する配線とを有し、前記配線は、半導体チップ面上に設けられた配線層を覆う絶縁層の上に形成されかつ前記配線層の電極とコンタクトする導電層で形成され、前記第1及び第2の内部回路は距離的に離間して配置される半導体装置である。

【0009】

前記導電層はいわゆる巨大配線である。巨大配線は、後述するような利点を持つため、電気的特性を考慮した第1及び第2の内部回路の配置の自由度は飛躍的に向上する。よって、第1及び第2の内部回路は距離的に離間して配置することができる。

【0010】

【発明の実施の形態】

図2は、本発明の第1の実施の形態を示す図である。図2は、半導体装置の外部端子10の周辺部分を示す。なお、図1に示す構成要素と同一のものには、同一の参照番号を付してある。

【0011】

外部端子10と内部回路11との接続、及び外部端子10とESD素子12との接続を、いわゆる巨大配線13を用いて行う。巨大配線13と内部回路11とは、コンタクト部14で電氣的に接続される。同様に、巨大配線13とESD素

子 1 2 とはコンタクト部 1 4 で電氣的に接続される。

【 0 0 1 2 】

巨大配線は、幅 5 ～ 1 0 μ m 程度の配線層で形成されたもので、半導体装置の高速化及び低電力化を可能とする。巨大配線は、微細加工で形成する通常の配線に対し、次のような利点がある。

- ①幅が広いことため電気抵抗が小さい。
- ②バルクとの絶縁層の層間が厚く、また巨大配線間の配線間隔が広いことため寄生容量が小さい。
- ③以上より、巨大配線の時定数は非常に低く高速動作に向いている。

【 0 0 1 3 】

本発明では、このような巨大配線 1 3 を用いることにより、内部回路 1 1 と E S D 素子 1 2 とを距離的に離間して配置することができる。つまり、従来の回路配置上の制約による回路間の距離を越えて、内部回路 1 1 と E S D 素子 1 2 とを配置できる。巨大配線 1 3 は、従来の配線で許容される最大長（静電破壊を効果的に防止できる最大配線長）よりも長いとも言える。

【 0 0 1 4 】

図 3 は、巨大配線 1 3 を説明するための半導体装置の模式的な断面図である。

【 0 0 1 5 】

半導体基板 2 0 上（チップ面上）には、多層配線層 2 2 が形成されている。多層配線層 2 2 は、多層に構成された配線層 2 2 a、2 2 b を有する。各配線層 2 2 a、2 2 b はポリイミドなどの絶縁層で絶縁され、最上部の配線層 2 2 b 上にはポリイミドなどの絶縁層が設けられている。図 3 では、便宜上、多層配線層 2 2 の絶縁層を一括して参照番号 2 1 で示してある。図 1 に示す従来技術の各回路間の配線は多層配線層 2 2 内の配線であり、通常の微細加工で形成される通常配線である。

【 0 0 1 6 】

多層配線層 2 2 は電極 2 3 を有する。電極 2 3 はコンタクト部 2 5、2 6 及び中間の配線層を介して、半導体基板 2 0 に形成された拡散層 2 4 に電氣的に接続される。

【 0 0 1 7 】

絶縁層 2 7 上には、巨大配線層 2 8 が形成されている。図 2 に示す巨大配線 1 3 は、この巨大配線層 2 8 で形成される。巨大配線層 2 8 は、コンタクト部 2 3 で電極 2 3 とコンタクトしている。このコンタクト部 2 3 は、図 2 に示すコンタクト部 1 4 に相当する。電極 2 3 は、絶縁層 2 1 に設けられたコンタクトホールから露出している。コンタクト部 2 3 は、絶縁層 2 1、2 7 に形成されたコンタクトホールに巨大配線層 2 8 が入り込んで電極 2 3 に接続する構成である。巨大配線層 2 8 の幅及び厚みは多層配線層 2 2 の配線層 2 2 a、2 2 b よりも大きく、例えば $5 \sim 10 \mu\text{m}$ である。

【 0 0 1 8 】

巨大配線層 2 8 の上には、カバー膜 2 9 が設けられている。カバー膜 2 9 は開口部（スルーホール）を有し、そこから巨大配線層 2 8 が露出している。開口部には、巨大配線層 2 8 上に形成された他のチップや回路との接続用の電極 3 0 が設けられている。図示する電極 3 0 はバンプであるが、パッドなどでも良い。電極 3 0 は図 2 に示す外部電極 1 0 を構成する。

【 0 0 1 9 】

図 4 は、本発明の第 2 の実施の形態を示す図である。図中、前述した構成要素と同一のものには同一の参照番号を付してある。

【 0 0 2 0 】

図示する構成は、巨大配線 1 3 と内部回路 1 1 を接続する通常配線 1 5 の長さ L_1 を、巨大配線 1 3 と ESD 素子 1 2 を接続する通常配線 1 6 の長さ L_2 よりも長くしたことを特徴とする。通常配線は巨大配線に比べ寄生容量と配線抵抗が大きいので、 $L_1 > L_2$ とすることにより、ESD 素子 1 2 の方に静電電流が流れ易くなる。

【 0 0 2 1 】

通常配線 1 5 と 1 6 は、図 3 に示す多層配線層 2 2 内の配線である。

【 0 0 2 2 】

図 5 は、本発明の第 3 の実施の形態を示す図である。図中、前述した構成要素と同一のものには同一の参照番号を付してある。

【 0 0 2 3 】

図 5 に示す構成は、巨大配線 1 3 と内部回路 1 1 との間に抵抗 R 1 を設けたことを特徴とする。これにより、E S D 素子 1 2 の方に静電電流がより流れ易くなる。

【 0 0 2 4 】

図 6 は、本発明による半導体装置の全体構成例を示す図である。チップ 4 0 上の中央部には、アドレス、コマンド、データ、クロックなどの I / O 回路 4 1 が設けられている。複数の E S D 素子 4 4 をチップの周辺に配置する。各 E S D 素子 4 4 と I / O 回路 4 1 とを巨大配線 4 2 で接続する。各巨大配線 4 2 上には、外部との接続用の外部端子 4 3 が設けられている。この外部端子 4 3 は、図 3 に示すバンプ状の電極 3 0 に相当する。バンプに代えてパッド状の電極でも良い。

【 0 0 2 5 】

各巨大配線 4 2 の一端はコンタクト部 4 5 を介して I / O 回路 4 1 に接続され、他端はコンタクト部 4 6 を介して E S D 素子 4 4 に接続されている。

【 0 0 2 6 】

巨大配線 4 2 を用いているので、E S D 素子 4 4 を I / O 回路 4 1 から距離的に離間したチップ 4 0 の周辺領域に形成することができる。

【 0 0 2 7 】

以上説明した通り、本発明は、従来隣接して配置しなければならなかった回路を、巨大配線を利用して場所的に離間して配置できるようにした。従って、本発明による巨大配線は入出力回路と E S D 素子との接続のみならず、他の回路部分にも適用できる。

【 0 0 2 8 】

図 7 は、半導体記憶装置の従来の一構成例を示すブロック図である。図示する半導体装置は、外部端子 5 0、データ入力回路 5 1、データ出力回路 5 2、メモリセルアレイ 5 3、書込み回路 5 4、読出し回路 5 5、書込みデータバス 5 6 及び読出しデータバス 5 7 を具備する。

【 0 0 2 9 】

メモリセルアレイ 5 3、書込み回路 5 4 及び読出し回路 5 5 を含むメモリコア

の集積度を高くしようとする場合、図 7 に示すように、メモリセルアレイ 5 3 の片側に書込み回路 5 4 を設け、対向する側に読出し回路 5 5 を設ける。このような配置においても、外部端子 5 0 を共通にするデータ入力回路 5 1 とデータ出力回路 5 2 を隣接し、しかも外部端子 5 0 にできるだけ近接するように配置する。外部端子 5 0 とデータ入力回路 5 1 までの配線長及びデータ出力回路 5 2 までの配線長が長くなると、配線抵抗や寄生容量によって電圧ドロップや波形のなまりが発生したり、端子容量が大きくなってしまう。

【 0 0 3 0 】

ところが、データ入力回路 5 1 とデータ出力回路 5 2 を隣接して配置したことにより、データ入力回路 5 1 と書き込み回路 5 4 の間の配線又は読出し回路 5 5 とデータ出力回路 5 2 の間の配線のいずれか又は両方が長くなってしまい、チップ面積が増大し、信号の遅延が発生する。図 7 の配置では、データ入力回路 5 1 と書き込み回路 5 4 とを接続する書込みデータバス 5 6 が長くなってしまう。

【 0 0 3 1 】

以下に説明する本発明の第 4 の実施の形態は、上記問題点を解決するものである。

【 0 0 3 2 】

図 8 は、本発明の第 4 の実施の形態による半導体記憶装置の構成を示すブロック図である。図 8 (a) は単ビットの構成例、 (b) は多ビットの構成例を示す。なお、図 8 において、図 7 に示す構成要素と同一のものには同一の参照番号を付してある。

【 0 0 3 3 】

図 8 (a) において、メモリセルアレイの両側にそれぞれデータ入力回路 5 1 とデータ出力回路 5 2 を設け、これらをコンタクト部 6 3 を介して巨大配線 6 2 で電氣的に接続してある。巨大配線 6 2 上には、外部との接続用の外部電極 6 1 が設けられている。この外部電極 6 1 は、図 3 に示す電極 3 0 に相当する。外部電極 6 1 は図 3 に示すようにバンプ状であっても良いし、パッド状であっても良い。

【 0 0 3 4 】

巨大配線 6 2 を用いているため、配線長が長くても配線抵抗や寄生容量によって電圧ドロップや波形のなまりが発生したり、端子容量が大きくなってしまいうことはない。よって、データ入力回路 5 1 とデータ出力回路 5 2 を距離的に離間配置することが可能になり、更に外部端子 6 1 に近接して配置する必要がない。また、巨大配線 6 1 をメモリセルアレイ 5 3 上に設けることができ、通常配線をチップ上に引き回す必要がないので、チップレイアウト上及びチップ面積的にも有利である。データ入力回路 5 1 と書込み回路 5 4 とを接続するバス 6 4 の長さは、読出し回路 5 5 とデータ出力回路 5 2 とを接続するバス 6 5 と同様に短い。

【 0 0 3 5 】

図 8 (b) に示す多ビットの構成では、複数の巨大配線 6 2 を並列に配置したものである。各巨大配線 6 2 はコンタクト部 6 3 を介してデータ入力回路 5 1 A とデータ出力回路 5 5 とに接続される。

【 0 0 3 6 】

以上、本発明の実施の形態を説明した。本発明は上記実施の形態に限定されるものではなく、従来隣接して配置しなければならなかった回路を巨大配線を利用して場所的に離間して配置できるようにしたすべてを含むものである。

(付記)

以上、本発明の主たる特徴を特定すると次の通りである。

【 0 0 3 7 】

(付記 1) 外部端子と、

これに接続される第 1 及び第 2 の内部回路と、

前記外部端子と前記第 1 及び第 2 の内部回路を接続する配線とを有し、

前記配線は、半導体チップ面上に設けられた配線層を覆う絶縁層の上に形成されかつ前記配線層の電極とコンタクトする導電層で形成され、

前記第 1 及び第 2 の内部回路は距離的に離間して配置される半導体装置。

【 0 0 3 8 】

(付記 2) 外部端子と、

これに接続される第 1 及び第 2 の内部回路と、

前記外部端子と前記第 1 及び第 2 の内部回路を接続する配線とを有し、

前記配線は、半導体チップ面上に設けられた配線層を覆う絶縁層の上に形成されかつ前記配線層の電極とコンタクトする導電層で形成され、

前記配線は、前記第 1 及び第 2 の内部回路と前記外部端子とを前記配線層で接続した場合の最大許容長よりも長い半導体装置。

【 0 0 3 9 】

（付記 3）付記 1 又は 2 に記載の半導体装置は第 3 の内部回路を有し、前記第 1 及び第 2 の内部回路は前記第 3 の回路を挟むように配置されている半導体装置。

【 0 0 4 0 】

（付記 4）前記第 1 及び第 2 の内部回路はそれぞれ、データ入力回路及びデータ出力回路である付記 1 又は 2 記載の半導体装置。

【 0 0 4 1 】

（付記 5）外部端子と、
これに接続される内部回路及び保護素子と、
前記外部端子と内部回路及び保護素子を接続する配線とを有し、
前記配線は、半導体チップ面上に設けられた配線層を覆う絶縁層の上に形成されかつ前記配線層の電極とコンタクトする導電層で形成される半導体装置。

【 0 0 4 2 】

（付記 6）前記配線層は前記巨大配線と前記内部回路とを接続する第 1 の部分と、前記巨大配線と前記保護素子とを接続する第 2 の部分とを含み、前記第 1 の部分は前記第 2 の部分よりも長い付記 5 記載の半導体装置。

【 0 0 4 3 】

（付記 7）前記外部端子と前記内部回路との間に抵抗を有する付記 5 又は 6 記載の半導体装置。

【 0 0 4 4 】

（付記 8）前記保護素子は前記半導体チップの周辺部に位置することを特徴とする付記 5 又は 6 記載の半導体装置。

【 0 0 4 5 】

（付記 9）前記配線は、前記配線層内の配線よりも大きいサイズである付記 1

、 2 及び 5 のいずれか一項記載の半導体装置。

【 0 0 4 6 】

（付記 1 0）前記保護素子は、E S D 素子である付記 5 又は 6 記載の半導体装置。

【 0 0 4 7 】

（付記 1 1）前記外部端子は、前記配線上に形成されている電極である付記 1 に記載の半導体装置。

【 0 0 4 8 】

【発明の効果】

以上説明したように、本発明によれば、回路配置上の制約を解消して回路素子の配置の自由度が大きい半導体装置を提供することができる。

【図面の簡単な説明】

【図 1】

従来の回路配置の一例を示す図である。

【図 2】

本発明の第 1 の実施の形態による半導体装置を示す図である。

【図 3】

図 2 に示す半導体装置の断面を示す図である。

【図 4】

本発明の第 2 の実施の形態による半導体装置を示す図である。

【図 5】

本発明の第 3 の実施の形態による半導体装置を示す図である。

【図 6】

本発明による半導体装置の構成例を示す図である。

【図 7】

半導体記憶装置の一般的な回路配置を示す図である。

【図 8】

本発明の第 4 の実施の形態による半導体装置を示す図である。

【符号の説明】

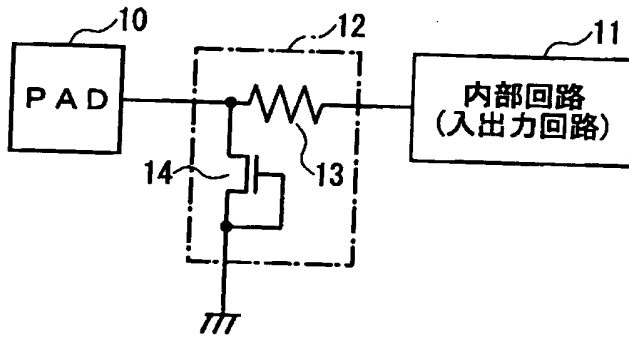
- 1 0 外部端子
- 1 1 内部回路
- 1 2 E S D 素子
- 1 3 巨大配線
- 1 4 コンタクト部
- 1 5 通常配線

【書類名】

図面

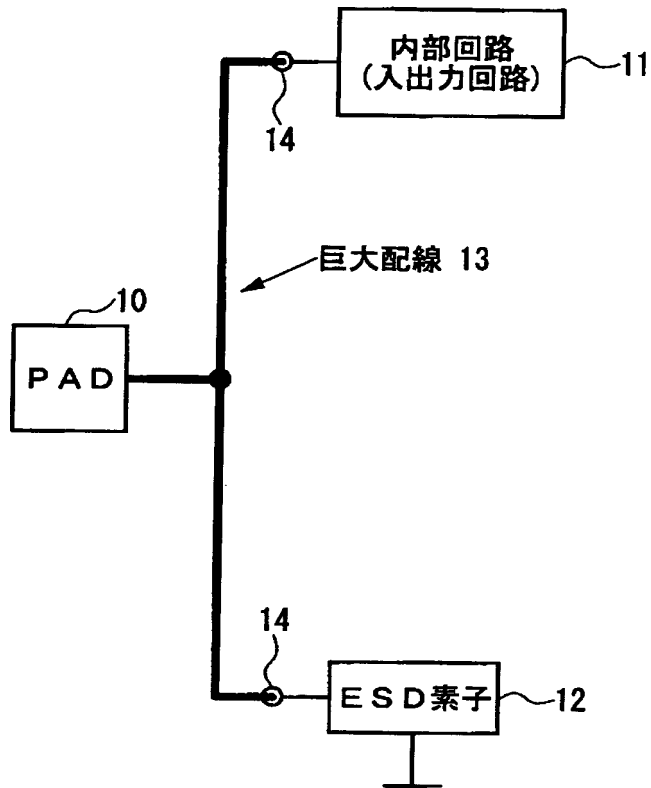
【図 1】

従来の回路配置の一例を示す図



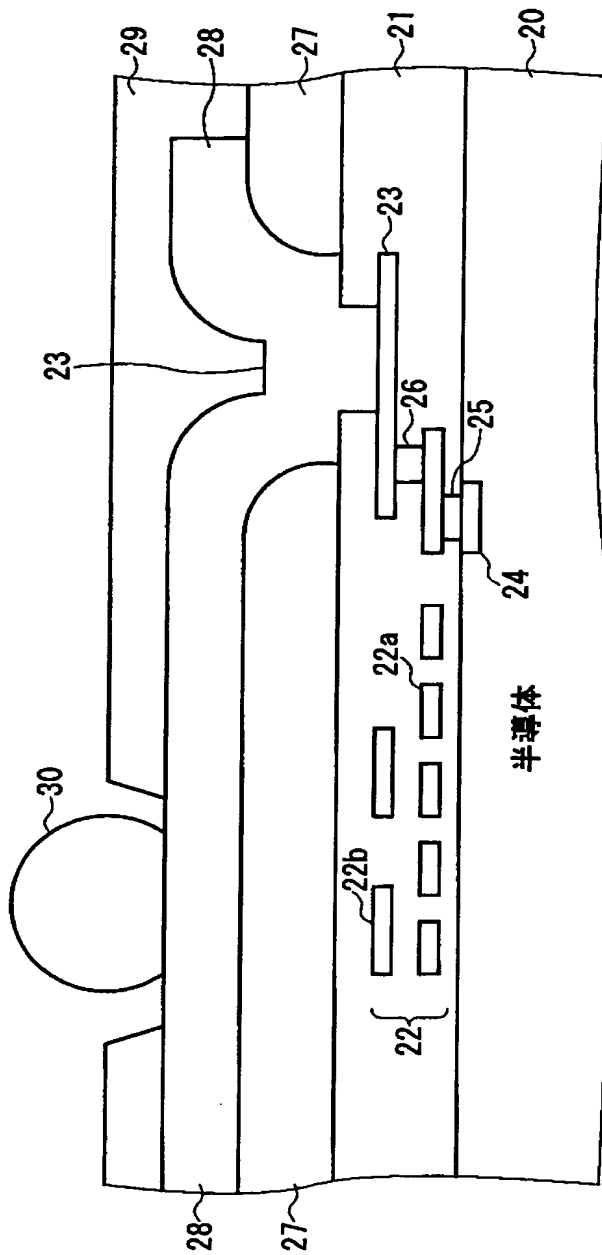
【図 2】

本発明の第 1 の実施例の形態による半導体装置を示す図



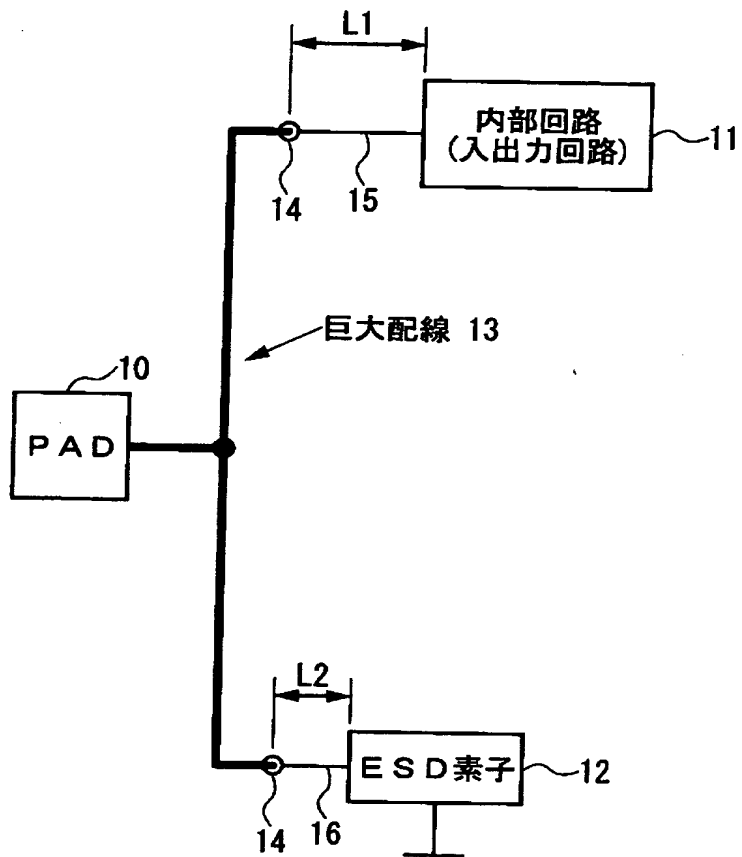
【図 3】

図 2 に示す半導体装置の断面を示す図



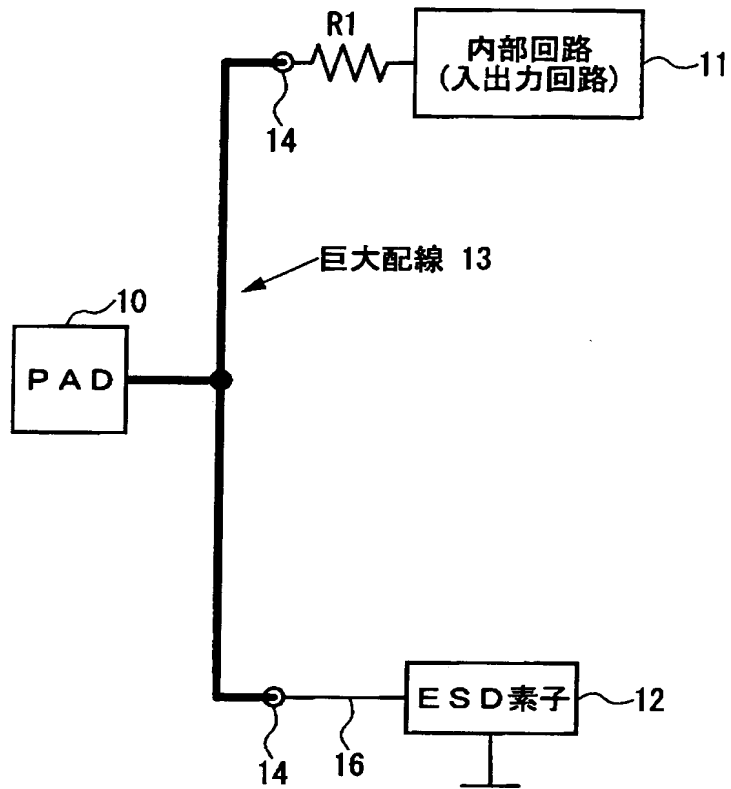
【図 4】

本発明の第 2 の実施の形態による半導体装置を示す図



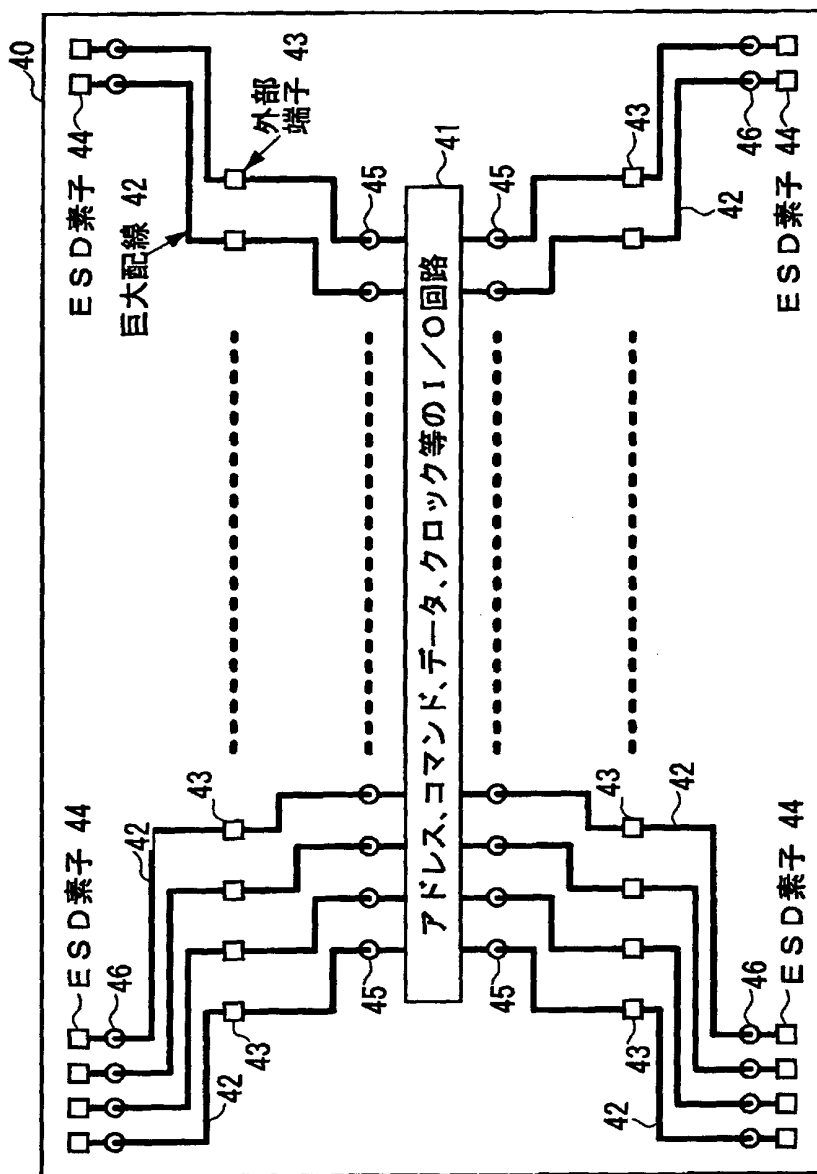
【図 5】

本発明の第 3 の実施の形態による半導体装置を示す図



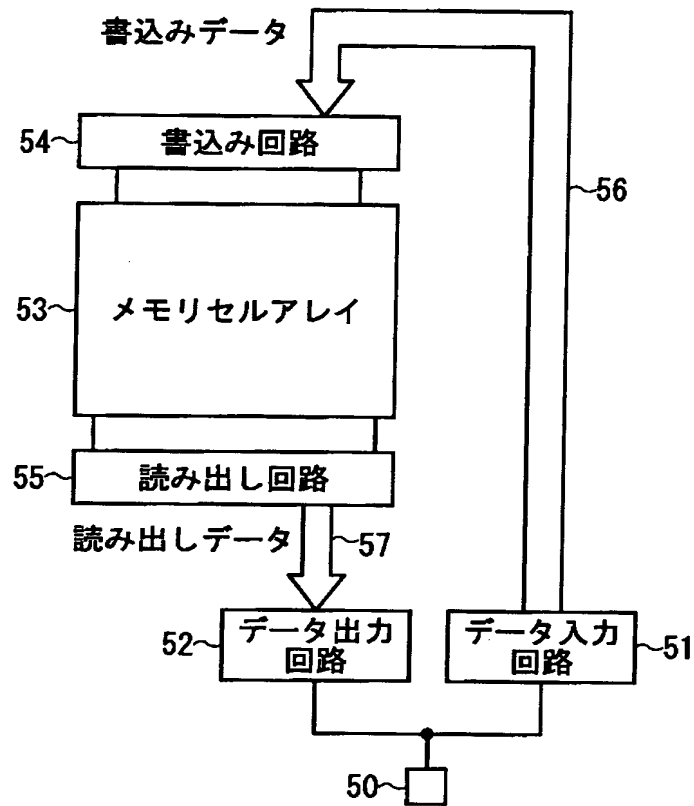
【図 6】

本発明による半導体装置の構成例を示す図



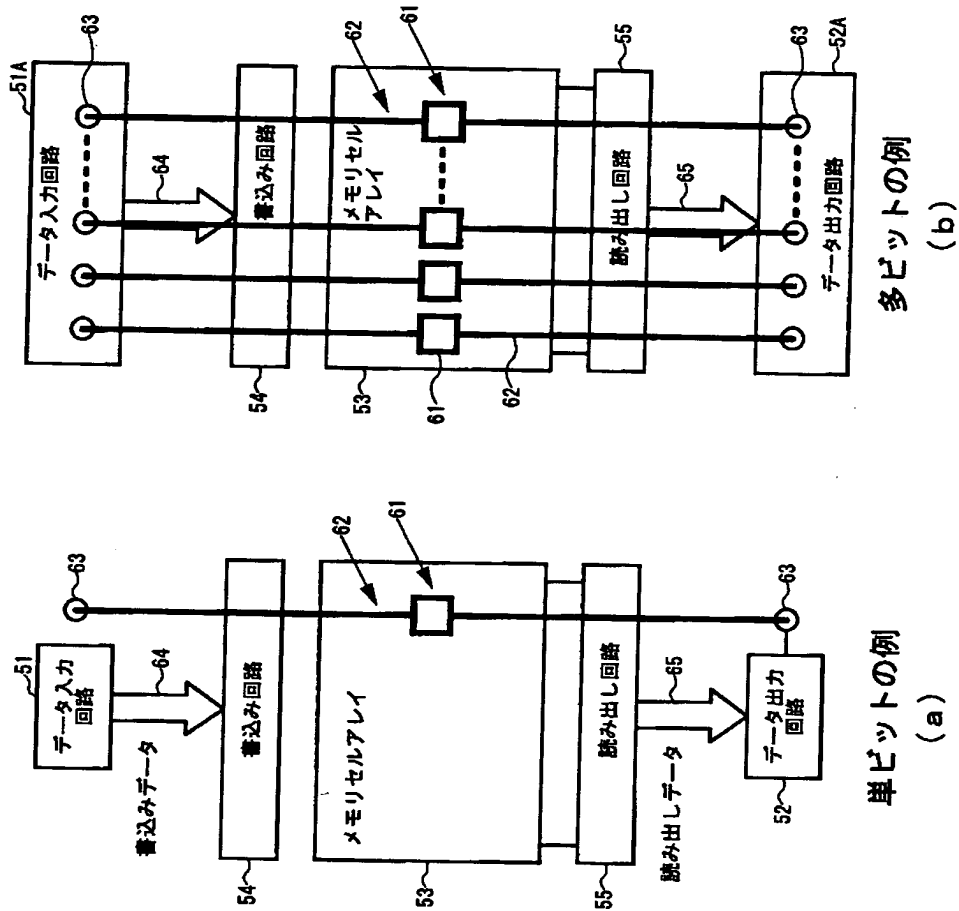
【図 7】

半導体記憶装置の一般的な回路配置を示す図



【図 8】

本発明の第 4 の実施の形態による半導体装置を示す図



【書類名】 要約書

【要約】

【課題】 回路配置上の制約を解消して回路素子の配置の自由度が大きい半導体装置を提供する。

【解決手段】 外部端子（61）と、これに接続される第1及び第2の内部回路（51、52）と、前記外部端子と前記第1及び第2の内部回路を接続する配線（62）とを有し、前記配線は、半導体チップ面上に設けられた配線層を覆う絶縁層の上に形成されかつ前記配線層の電極とコンタクトする導電層で形成され、前記第1及び第2の内部回路は距離的に離間して配置される。

【選択図】 図8

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社